

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01086769 A**

(43) Date of publication of application: **31.03.89**

(51) Int. Cl. **H04N 5/45**
H04N 5/265

(21) Application number: **62245486**

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: **29.09.87**

(72) Inventor: **TAKEUCHI HISAHARU**

(54) **IMAGE DISPLAY DEVICE**

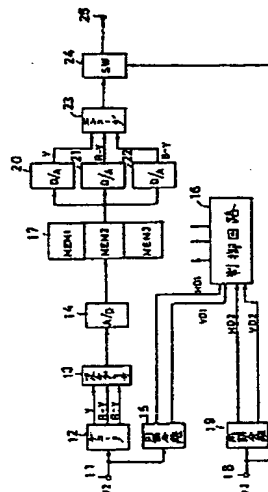
(57) Abstract:

PURPOSE: To prevent a joint part from being generated on a slave picture by providing a storage means having three memories, selecting the three memories sequentially in a prescribed order synchronizing with video signals for displaying the slave picture and a master picture, writing the video signal for displaying the slave picture field by field, and reading out stored data.

CONSTITUTION: A control circuit 16 selects the three memories MEM 1@3 in a memory 17 sequentially in the prescribed order synchronizing with a horizontal synchronizing signal HD1 and a vertical synchronizing signal VD1 separated from a first video signal V1 for displaying the slave picture by a synchronizing separator circuit 15. And the digital output of the first video signal V1 is written on a selected memory field by field. Also, the three memories MEM1@3 in the memory 17 are selected sequentially in the prescribed order synchronizing with synchronizing signals HD2 and VD2 separated from a second video signal for displaying the master picture, and the stored data is read out. Therefore, since to simultaneous read and write is

performed in each of the memories MEM1@3, no joint part is generated on the slave picture.

COPYRIGHT: (C)1989,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-86769

⑬ Int.Cl.⁴

H 04 N

5/45
5/265

識別記号

庁内整理番号

6957-5C
8420-5C

⑭ 公開 昭和64年(1989)3月31日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 画像表示装置

⑯ 特 願 昭62-245486

⑰ 出 願 昭62(1987)9月29日

⑱ 発 明 者 竹 内 久 晴 埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

画像表示装置

2. 特許請求の範囲

それぞれ1フィールド分の記憶容量を持つ3つの記憶領域を有する記憶手段と、

子画面を表示するための第1の映像信号に同期して上記記憶手段の上記3つの記憶領域を所定の順序で順次選択し、この選択記憶領域に上記第1の映像信号を1フィールド分ずつ書込む書込み手段と、

親画面を表示するための第2の映像信号に同期し、かつ、書込み時の選択順序と同じ順序で上記記憶手段の上記3つの記憶領域を順次選択し、この選択記憶領域から上記第1の映像信号を読出す読出し手段と、

上記書込み手段によって書込みがなされる記憶領域と上記読出し手段によって読出しがなされる記憶領域が重ならないように上記読出し手段による上記記憶領域の選択動作を制御する制御手段と、

上記データ読出し手段によって上記記憶手段から読出された上記第1の映像信号を上記第2の映像信号に挿入する信号挿入手段とを具備するように構成されたことを特徴とする画像表示装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、通常の画面の中に、この画面を表示するための映像信号とは異なる映像信号の画面を縮小表示する画像表示装置に関する。

(従来の技術)

例えば、テレビジョン受像機に於いては、ピクチャーインピクチャー(以下、PIPと記す)表示機能が設けられているものがある。このPIP表示機能とは、例えば、放送波から得た映像信号による表示画面の中に、ビデオテープレコーダの再生出力から得た映像信号による画面を縮小表示する機能である。この場合、前者の表示画面は、一般に親画面といわれ、後者の画面は一般に子画面といわれる。第3図はこの様子を示すも

ので、図中、A1は親画面であり、A2は子画面である。

ところで、PIP表示に於いては、親画面のフィールドの奇偶により、走査線がインターレースされる。このため、子画面の走査に当たっては、そのフィールドの奇偶（または、偶奇）を親画面のフィールドの奇偶に合せて選ぶことにより、子画面の表示に於いても、両フィールドのインターレース関係を確保し、上下のがたつきや図形のくずれが生じないようにしている。また、子画面の表示に際して、書き込み中のフィールドのデータを読出すと、新しいフィールドと古いフィールドの画面に縊れ目が生じるので、それを防ぐことも行われている（但し、この縊れ目をそのまま、表示するものもある）。

従来は、子画面のフィールドの奇偶を確保し、かつ、画面の縊れ目が生じないようにするために、子画面の記憶用のメモリとして、4フィールド分の記憶容量を有するメモリを使用するようになっている（1986年、テレビジョン学会、全国大

会、7-7、予稿集第169頁乃至第170頁参照）。

しかし、このような構成では、大きな記憶容量が必要なため、メモリチップ数が多くなったり、回路寸法が大きくなったり、製造経費が高くなる等の問題があった。

（発明が解決しようとする問題点）

以上述べたようにPIP表示を行なうための従来の画像表示装置に於いては、子画面のインターレース関係を確保し、かつ、画面の縊れ目の発生を防止するために記憶容量の大きなメモリが必要なため、メモリチップ数が多くなる等の問題があった。

そこで、この発明は、小さな記憶容量で、子画面のインターレース関係の確保及び画面の縊れ目の発生防止を図ることができる画像表示装置を提供することを目的とする。

〔発明の構成〕

（発明が解決しようとする問題点）

上記目的を達成するためにこの発明は、

（作用）

上記構成によれば、1つの記憶領域で書き込みと読出しが同時になされることがないので、子画面に縊れ目が生じることがない。

また、読出し時の記憶領域の選択は、書き込み時の選択と同じ順序でなされるので、子画面のフィールドのインターレース関係も保たれ、上下のがたつきや図形のくずれ等が生じることがない。

さらに、記憶手段の記憶容量が3フィールド分で済むので、メモリチップ数の増大等を防ぐことができる。

（実施例）

以下、図面を参照してこの発明の一実施例を詳細に説明する。

第1図はこの発明の一実施例の構成を示す回路図である。

この第1図に於いて、11は子画面表示用の第1の映像信号V1が印加される入力端子である。この第1の映像信号V1は、デコーダ12によって輝度信号Y、色差信号R-Y、B-Yにデコー

それぞれ1フィールド分の記憶容量を持つ3つの記憶領域を有する記憶手段と、

子画面を表示するための第1の映像信号に同期して上記記憶手段の上記3つの記憶領域を所定の順序で順次選択し、この選択記憶領域に上記第1の映像信号を1フィールド分ずつ書き込む書き込み手段と、

親画面を表示するための第2の映像信号に同期し、かつ、書き込み時の選択順序と同じ順序で上記記憶手段の上記3つの記憶領域を順次選択し、この選択記憶領域から上記第1の映像信号を読出す読出し手段と、

上記書き込み手段によって書き込みがなされる記憶領域と上記読出し手段によって読出しがなされる記憶領域が重ならないように上記読出し手段による上記記憶領域の選択動作を制御する制御手段と、

上記データ読出し手段によって上記記憶手段から読出された上記第1の映像信号を上記第2の映像信号に挿入する信号挿入手段とを設けるようにしたものである。

ドされる。このデコード出力は、マルチプレクサ13によってマルチプレクスされた後、アナログ／デジタル(A/D)変換器によりデジタル信号化される。このデジタル信号は、制御回路16によってメモリ17に書込まれる。

このメモリ17は、それぞれが1フィールド分の記憶容量を有する3つの記憶領域MEM1～MEM3を有する。制御回路16は、同期分離回路15によって第1の映像信号V1から分離された水平同期信号HD1と垂直同期信号VD1に同期して上記メモリ17の3つの記憶領域MEM1～MEM3を所定の順序で順次選択し、この選択記憶領域に、上記の如く、第1の映像信号V1のデジタル出力を1フィールド分ずつ書込む。なお、この実施例では、この書込み時に、子画面の縮小がなされる。今、縮小比率が1/3とすると、水平方向の書込みは、3ドットに1回ずつ行われる。同様に、垂直方向の書込みは、3ラインに1回ずつなされる。

18は親画面を表示するための第2の映像信号

V2が印加される入力端子である。この入力端子18に印加された第2の映像信号V2は、同期分離回路19に供給される。この同期分離回路19は、入力信号から水平同期信号HD2と垂直同期信号VD2を分離し、制御回路16に供給する。制御回路16はこれら同期信号HD2、VD2に同期してメモリ17の上記3つの記憶領域MEM1～MEM3を所定の順序で順次選択し、その格納データを読出す。この場合の選択順序は、書込み時の順序と同じである。また、制御回路16は、この読出しに当たって、読出しがなされる記憶領域と書込みがなされる記憶領域が重なることがないように記憶領域の選択を制御する。

このようにしてメモリから読出されたデータのうち、輝度信号Y、色差信号R-Y、B-Yはそれぞれデジタル／アナログ(A/D)変換回路20～22によってアナログ信号化された後、エンコーダ23でNTSC方式の第1の映像信号V1とされる。この第1の映像信号V1は、スイッチ回路24に供給され、入力端子18に印加さ

れた第2の映像信号V2に挿入される。これにより、出力端子25には、所定の期間に第1の映像信号V1が挿入された第2の映像信号V2が得られる。

第2図に、メモリ17の書込みと読出しのタイミング関係を示す。図中、実線は書込みモードを示し、一点鎖線は読出しモードを示す。読出しの縮小比率は1/3である。また、Oは奇数フィールドを示し、Eは偶数フィールドを示す。また、OKは各記憶領域MEM1～MEM3の読出し可能期間を示し、NGは読出し不可期間を示す。例えば、①の期間に記憶領域MEM1に書き込まれたデータは、読出し可能期間OK①に読出し可能となる。

この第2図から明らかな如く、この実施例では、どの時間位置に於いても、奇数フィールドOと偶数フィールドEのどちらのフィールドのデータも読出し可能である。したがって、読出し時の記憶領域MEM1～MEM3の選択順序を書込み時のそれと合せば、子画面のインターレース関係を

保つことができ、上下のがたつきや図形のくずれのない子画面を得ることができる。この選択の順序として、第2図では、MEM1→MEM2→MEM3→MEM1…を設定している。そして、書込みと読出し時で選択記憶領域を1領域分ずらすことにより、書込みがなされる記憶領域と読出しがなされる記憶領域が重なることがないように設定されている。例えば、記憶領域MEM3に書込みがなされている場合は、記憶領域MEM2から読出しがなされる。これにより、子画面に縦ざ目が発生することが防止される。

なお、読出し可能期間OKの端部に近付くと、別のフィールド位置の記憶領域MEM1～MEM3に飛ばなければならないが、これは、フィールド単位で切換えればよい。この検出は、読出し開始時の書込みアドレスを指定するアドレスデータが所定の範囲内にあるか否かを判定することにより、容易に行なうことができる。この場合、動きの飛びが生じるが、垂直周波数の差が小さければ、頻度は少なく問題はない。また、読出し可能期間

OKには、奇数フィールドOと偶数フィールドEごとに重複があるので、この飛び方に、②に示すように、ヒステリシスを持たせることが可能であり、飛びが何度生じて、も、がたつきが生じることはない。

以上述べたようにこの実施例によれば、各記憶領域MEM1～MEM3で書き込みと読出しが同時になされることがないので、子画面に縦ぎ目が生じることがない。

また、読出し時の記憶領域MEM1～MEM3の選択は、書き込み時の選択と同じ順序でなされるので、子画面のフィールドのインターレース関係も保たれ、上下のがたつきや図形のくずれ等が生じることがない。

さらに、メモリ17の記憶容量が3フィールド分で済むので、メモリチップ数の増大や回路寸法の増大、製造経費の増大を防ぐことができる。

以上この発明の一実施例を詳細に説明したが、この発明はこのような実施例に限定されるものではないことは勿論である。

さらに、この発明はNTSC方式のPIP表示だけでなく、PAL方式あるいはSECAM方式のPIP表示にも適用可能なことは勿論である。

この他にも、発明の要旨を逸脱しない範囲で種々様々変形実施可能なことは勿論である。

[発明の効果]

以上述べたようにこの発明によれば、小さな記憶容量で子画面のインターレース関係の確保及び画面の縦ぎ目の発生防止を図ることができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例の構成を示す回路図、第2図は第1図に示す回路の動作を示す図、第3図はPIP表示を示す図である。

11…入力端子、12…デコーダ、13…マルチプレクサ、14…アナログ／デジタル変換回路、15、19…同期分離回路、16…制御回路、17…メモリ、18…出力端子、20～22…デジタル／アナログ変換回路、23…エンコーダ、24…スイッチ回路、25…出力端子、MEM1～MEM3…記憶領域。

例えば、先の実施例では、縮小比率を1/3に設定する場合を説明したが、これ以外の縮小比率でも適用可能なことは勿論である。

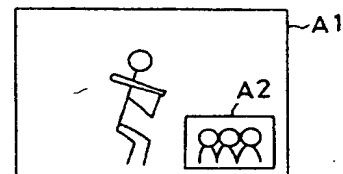
また、先の実施例では、メモリ17に輝度信号と色差信号形式の映像信号を格納する場合を説明したが、これ以外の形式の映像信号を格納するようにしてもよいことは勿論である。

また、縮小は読出し時に行なってもよいことは勿論である。但し、この場合は1フィールド分の映像信号の記憶容量が増加する。

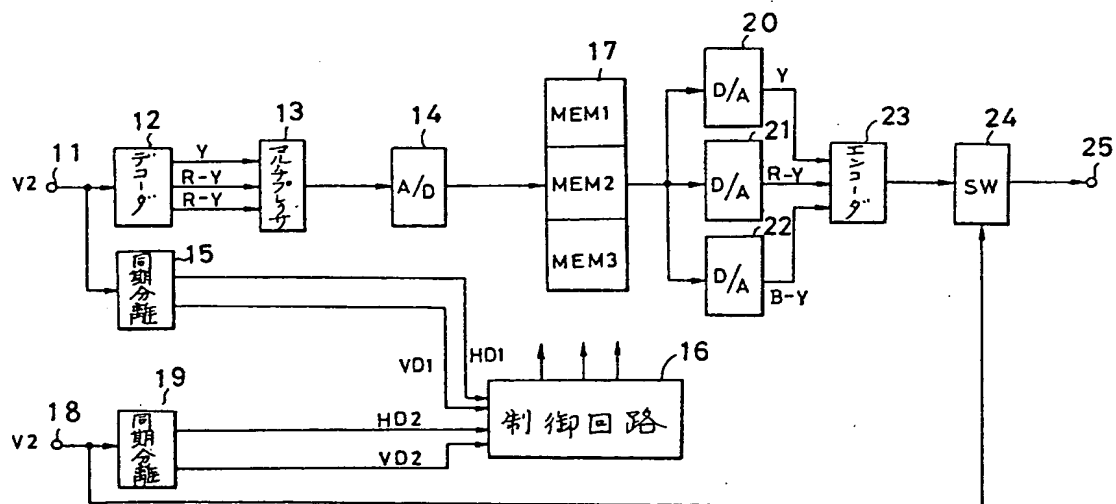
また、マルチプレクサを使ってデジタル／アナログ変換器の数を削減するようにしてもよいことは勿論である。

また、先の実施例では、1つのメモリを分割して記憶領域MEM1～MEM3を設定する場合を説明したが、各記憶領域MEM1～MEM3ごとにメモリを設けるようにしてもよいことは勿論である。

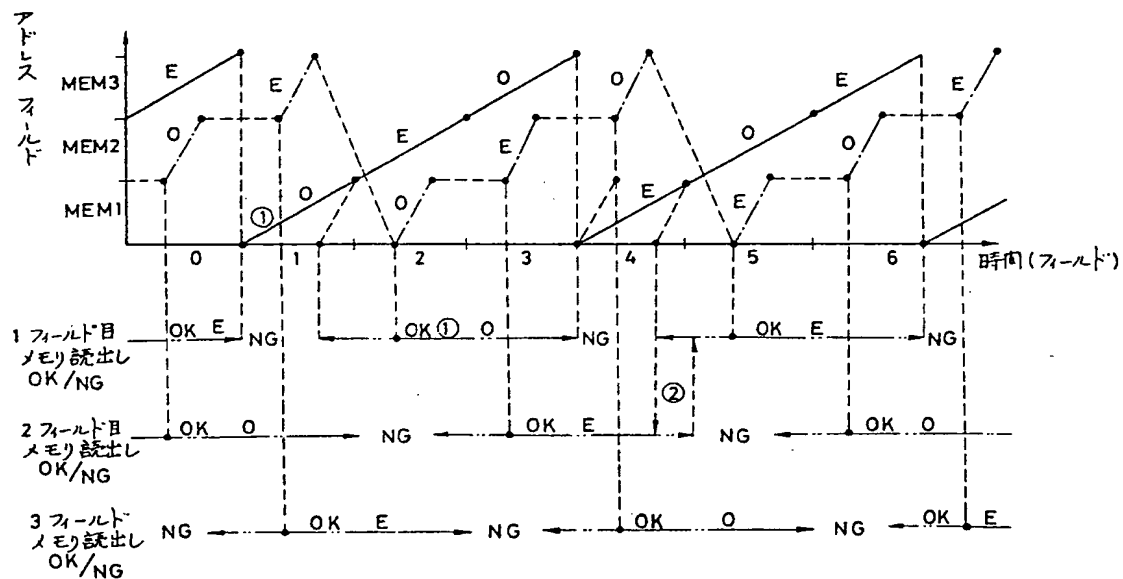
また、子画面の奇偶の順序は親画面のそれと同じであってもよいし、逆であってもよい。



第3図



第 1 図



第 2 図